

Docket No.: 61352-048

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Ken IDOTA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 29, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-283272, filed September 18, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: October 29, 2003
WDC99 833841-1.061352.0048

日 本 国 特 許 庁
JAPAN PATENT OFFICE

61352-048
IDOTA et al.
October 28, 2003
29,
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 9月18日

出 願 番 号
Application Number:

特願2001-283272

[ST.10/C]:

[JP2001-283272]

出 願 人
Applicant(s):

松下電器産業株式会社

2003年 3月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3020289

【書類名】 特許願

【整理番号】 2030230063

【提出日】 平成13年 9月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/321
H01L 21/203

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 井戸田 健

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 大西 照人

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 浅井 明

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の活性領域に設けられ、エミッタ層、ベース層及びコレクタ層を有するバイポーラトランジスタとして機能する半導体装置の製造方法であって、

前記半導体基板の一部に、活性領域を囲む素子分離領域を形成する工程（a）と、

前記工程（a）の前又は後で、前記半導体基板内の前記素子分離領域に挟まれる領域に第 1 導電型のコレクタ層を形成する工程（b）と、

前記工程（a）及び（b）の後で、前記半導体基板の上に第 1 の絶縁層と還元性膜とを堆積した後、前記第 1 の絶縁層にコレクタ開口部を形成する工程（c）と、

前記コレクタ開口部における前記半導体基板の上に、少なくとも内部ベースと該内部ベースを囲む外部ベースとを構成するための第 2 導電型の半導体層をエピタキシャル成長させる工程（d）と、

基板上に第 2 の絶縁層と第 1 の導体膜を形成した後、マスク部材を用いたエッチングにより、第 1 の導体膜のうち、前記半導体層の中央部の上方に位置する部分を残し前記半導体層の端部の上方に位置する部分から前記素子分離領域の内側端部の上方に位置する部分に至る領域を除去し、続いて前記エッチング後の第 1 の導体膜をマスクとして前記第 2 の絶縁層をエッチングしてベース接合用開口部を形成する工程（e）と、

基板上に第 2 の導体層及び第 3 の絶縁層を積層した後、前記第 1 の導体層、第 2 の導体層、及び第 3 の絶縁層に、前記第 2 の絶縁層の内部ベース上方に残存する部分に到達するベース開口部を形成する工程（f）と、

前記第 1 の導体膜と第 2 の導体層との前記ベース開口部に露出している側面を覆う第 4 の絶縁層を形成する工程（g）と、

エッチングにより、前記第 2 の絶縁層の前記半導体層の内部ベース上方に残存する部分のうち前記ベース開口部に露出している部分を除去して、前記ベース開

口部の底部に前記半導体層の一部を露出させる工程（h）と、

前記工程（h）の後で、前記ベース開口部を埋める第3の導体層を形成する工程（i）と、

前記工程（i）の後で、エッチングにより、前記第2の導体層及び第3の絶縁層の端部を除去して、前記半導体基板のうちコレクタ引き出し層となる部分を露出させる工程（j）と

を含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記工程（e）の後、前記マスク部材をマスクに用いたイオン注入により、前記半導体基板内の前記ベース接合用開口部の下方に位置する領域に第2導電型不純物を導入してリーク接合防止層を形成する工程（f）

をさらに含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

工程（d）では、 $\text{Si}_{1-x}\text{Ge}_x$ ($0 \leq x \leq 1$)、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ ($0 \leq x+y \leq 1$) 及び Si_{1-y}Cy ($0 \leq y \leq 1$) のうち少なくともいずれか1つを含むように前記半導体層を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1又は2記載の半導体装置の製造方法において、

前記工程（c）では、前記還元性膜を、ポリシリコン、アモルファスシリコン及び窒化シリコンから選ばれるいずれか1つの材料を含むように形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特にヘテロバイポーラトランジスタの製造方法に関するものである。

【0002】

【従来の技術】

近年、高周波特性向上を目的として、シリコン基板上に形成されるバイポーラトランジスタに Si/SiGe のヘテロ接合構造を含ませたヘテロバイポーラト

ランジスタ（HBT）の開発が急ピッチで進められている。

【0003】

このHBTは、Si基板、SiGe層という汎用のシリコンプロセスと親和性のよい材料で構成されるので、高集積度や低コストという大きな利点を有する。また、HBTとMOSトランジスタ（MOSFET）とを共通のSi基板上に形成して集積化することにより、高性能なBiCMOSデバイスを構成することができ、このBiCMOSデバイスは通信関係に利用可能なシステムLSIとして有望である。

【0004】

そのために、Si/Si_{1-x}Ge_x型HBTについての提案が多く行なわれている。

【0005】

従来のSi/Si_{1-x}Ge_x型HBTの一例として、特開2000-332025号公報に記載されたものが知られている。

【0006】

図5～図8は、従来のSi/Si^{1-x}Ge^x型HBTの構造を示す断面図である。

【0007】

図5～図8に示すように、（001）面を主面とするSi基板500の上部は、エピタキシャル成長法、イオン注入法などによって導入されたリンなどのN型不純物を含む深さ1μmのレトログレードウェル501となっている。Si基板100の表面付近の領域におけるN型不純物濃度は、 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に調整されている。また、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ503と、アンドープポリシリコン膜505及びこれを取り囲むシリコン酸化膜506により構成されるディープトレンチ504とが設けられている。各トレンチ503、504の深さは、それぞれ0.35μm、2μm程度である。

【0008】

Si基板500内におけるトレンチ503によって挟まれる領域にコレクタ層

502 が設けられており、シャロートレンチ 503 によりコレクタ層 502 と分離された領域には、レトログレードウェル 501 を介してコレクタ層 502 の電極とコンタクトするための N^+ コレクタ引き出し層 507 が設けられている。

【0009】

また、Si 基板 500 の上には、コレクタ開口部 510 を有する厚さ約 30 nm の第 1 の堆積酸化膜 508 が設けられていて、第 1 の堆積酸化膜 508 の上にポリシリコン層 509 が設けられている。Si 基板 500 の上面のうちコレクタ開口部 510 に露出する部分の上には、P 型不純物がドーピングされた厚さ約 60 nm の $Si_{1-x}Gex$ 層と厚さ約 10 nm の Si 膜とが積層されてなる Si/Si $_{1-x}Gex$ 層 511 が設けられている。そして、Si/Si $_{1-x}Gex$ 層 511 は、Si 基板 500 のコレクタ開口部 510 に露出している表面全体からポリシリコン層 509 の上にまで延びている。

【0010】

Si $_{1-x}Gex$ 層 511 のうち中央部の下部が内部ベース 519 として機能し、また、Si/Si $_{1-x}Gex$ 層 511 の中央部の上部がエミッタ層として機能している。

【0011】

Si/Si $_{1-x}Gex$ 層 511 のうち Si $_{1-x}Gex$ 層の大部分は、ボロン (B) などの P 型不純物によって $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ 程度にドーピングされており、Si 層は N^+ ポリシリコン層 529 からのリン (P) 等の N 型不純物の拡散によって、基板の深さ方向に向かって $1 \times 10^{20} \text{atoms} \cdot \text{cm}^{-3}$ から $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ 程度までの分布をもってドーピングされている。

【0012】

ここで、コレクタ開口部 510 の端よりもシャロートレンチ 503 の端が内側になるように配置されている。これにより、シャロートレンチ 503 が内側に配置されるので、HBT の総面積を低減することができる。一方、活性領域・分離接合部 Rai が HBT のキャリア移動領域に入り込むことによりストレスによる欠陥発生などの影響が懸念されるが、これを回避するために、コレクタ開口部 510 に対して自己整合的に P 型の不純物をイオン注入してなる P 型の接合リーク防

止層 5 1 3 を活性領域・分離接合部 Rai の付近に設けている。この P 型接合リーク防止層 5 1 3 における基板表面付近の不純物濃度は、 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度が好ましい。

【 0 0 1 3 】

Si / Si_{1-x}Ge_x 層 5 1 1 の上には、厚さ約 3 0 n m のエッチストップ用の第 2 の堆積酸化膜 5 1 2 が設けられていて、第 2 の堆積酸化膜 5 1 2 には、ベース接合用開口部 5 1 4 及びベース開口部 5 1 8 が形成されている。ベース開口部 5 1 8 周辺の第 2 の堆積酸化膜 5 1 2 の外側の幅 A は、図 1 0 に示されるとおりである。

【 0 0 1 4 】

ベース接合用開口部 5 1 4 を埋めて第 2 の堆積酸化膜 5 1 2 の上に延びる厚さ約 1 5 0 n m の P⁺ ポリシリコン層 5 1 5 と第 3 の堆積酸化膜 5 1 7 とが設けられている。前記 Si / Si_{1-x}Ge_x 層 5 1 1 のうちベース開口部 5 1 8 の下方領域を除く部分と P⁺ ポリシリコン層 5 1 5 とによって外部ベース 5 1 6 が構成されている。

【 0 0 1 5 】

P⁺ ポリシリコン層 5 1 5 及び第 3 の堆積酸化膜 5 1 7 のうち、第 2 の堆積酸化膜 5 1 2 のベース開口部 5 1 8 の上方に位置する部分は開口されていて、P⁺ ポリシリコン層 5 1 5 の側面には厚さ約 3 0 n m の第 4 の堆積酸化膜 5 2 0 が形成されており、さらに、第 4 の堆積酸化膜 5 2 0 の上に厚さ約 1 0 0 n m のポリシリコンからなるサイドウォール 5 2 1 が設けられている。そして、ベース開口部 5 1 8 を埋めて第 3 の堆積酸化膜 5 1 7 の上に延びる N⁺ ポリシリコン層 5 2 9 が設けられており、この N⁺ ポリシリコン層 5 2 9 はエミッタ引き出し電極として機能する。前記第 4 の堆積酸化膜 5 2 0 によって、P⁺ ポリシリコン層 5 1 5 と N⁺ ポリシリコン層 5 2 9 とが電氣的に絶縁されるとともに、P⁺ ポリシリコン層 5 1 5 から N⁺ ポリシリコン層 5 2 9 への不純物の拡散が阻止されている。また、第 3 の堆積酸化膜 5 1 7 によって、P⁺ ポリシリコン層 5 1 5 の上面と N⁺ ポリシリコン層 5 2 9 とが絶縁されている。さらに、N⁺ ポリシリコン層 5 2 9 と P⁺ ポリシリコン層 5 1 5 の外側面はサイドウォール 5 2 3 により覆われ

ている。

【 0 0 1 6 】

さらに、コレクタ引き出し層 5 0 7, P^+ ポリシリコン層 5 1 5 及び N^+ ポリシリコン層 5 2 9 の表面には、それぞれ Ti シリサイド層 5 2 4 が形成されている。

【 0 0 1 7 】

また、基板全体は層間絶縁膜 5 2 5 によって覆われており、層間絶縁膜 5 2 5 を貫通して N^+ コレクタ引き出し層 5 0 7, 外部ベースの一部である P^+ ポリシリコン層 5 1 5 及びエミッタ引き出し電極である N^+ ポリシリコン層 5 2 9 上の Ti シリサイド層 5 2 4 に到達する接続孔がそれぞれ形成されている。そして、この各接続孔を埋める W プラグ 5 2 6 と、各 W プラグ 5 2 6 に接続されて、層間絶縁膜 5 2 5 の上に延びる金属配線 5 2 7 とが設けられている。

【 0 0 1 8 】

次に、図 5 ～ 図 8 を参照しながら製造方法を説明する。

【 0 0 1 9 】

まず、図 5 (a) に示す工程で、(0 0 1) 面を主面とする Si 基板 5 0 0 の上部に、 N 型不純物をドーピングしながら Si 単結晶層をエピタキシャル成長させる、あるいは、エピタキシャル成長後に高エネルギーのイオン注入を行なうことにより、深さ約 $1 \mu m$ の N 型のレトログレードウェル 5 0 1 を形成する。ただし、エピタキシャル成長を行わずに Si 基板 5 0 0 の一部にイオン注入を行なうことによりレトログレードウェル 5 0 1 を形成することも可能である。このとき、 HBT 形成における Si 基板 5 0 0 の表面付近の領域は、 HBT のコレクタ層となるために N 型の不純物濃度を $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に調整しておく。

【 0 0 2 0 】

次に、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ 5 0 3 と、アンドープポリシリコン膜 5 0 5 及びこれを取り囲むシリコン酸化膜 5 0 6 により構成されるディープトレンチ 5 0 4 とを形成する。各トレンチ 5 0 3, 5 0 4 の深さは、それぞれ $0.35 \mu m$, $2 \mu m$ 程度としておく。 Si 基板 5 0 0 内におけるシャロートレンチ 5 0 3 同士によって挟まれる領域がコレクタ層 5 0

2となる。また、Si基板500内のコレクタ層502とはシャロートレンチ503により分離された領域に、コレクタ電極とコンタクトするためのN+ コレクタ引き出し層507を形成する。

【0021】

次に、図5(b)に示す工程で、テトラエトキシシラン(TEOS)と酸素を用いた化学気相成長法(CVD)を処理温度680℃で行なって、ウエハ上に厚さが約30nmの第1の堆積酸化膜508を形成した後、厚さが約50nmのポリシリコン層509とを順次形成する。その後、ドライエッチング等により、ポリシリコン層509をパターニングした後、フッ酸等のウェットエッチングにより第1の堆積酸化膜508を除去し、コレクタ開口部510を形成する。

【0022】

次に、図5(c)に示す工程で、ウエハをUHV-CVD(Ultrahigh Vacuum Chemical Vapor Deposition)法を用いて、Si基板500のコレクタ開口部510に露出している表面からポリシリコン層509に亘って、厚さ約60nmのSi_{1-x}Gex層をエピタキシャル成長させる。そして、Si_{1-x}Gex層を形成した後、Si_{1-x}Gex層の上に厚さ約10nmのSi層をエピタキシャル成長させる。このSi_{1-x}Gex層とSi層により、Si/Si_{1-x}Gex層511が形成される。ここで、Si_{1-x}Gex層は、ボロン(B)が導入されてP型になっており、ボロンの濃度は $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。このとき、Si層には不純物を導入しないでおく。

【0023】

Si_{1-x}Gex層の上において、コレクタ開口部510には単結晶のSi層が形成され、ポリシリコン層509の上方には多結晶のSi層が形成される。

【0024】

次に、図6(d)に示す工程で、ウエハ上に、エッチストッパとなる膜厚30nmの第2の堆積酸化膜512を形成した後、第2の堆積酸化膜512の上に設けたレジストマスクRe2を用いて、第2の堆積酸化膜512をウェットエッチングによりパターニングして、ベース接合用開口部514を形成する。次に、活性領域・分離接合部Raiにおけるストレスの影響を抑えるために、ベース接合用開

口部 5 1 4 の形成に用いたレジストマスク Re2 を用いて、ボロン (B) などの P 型の不純物のイオン注入を行い、表面付近の濃度が $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の接合リーク防止層 5 1 3 を形成する。

【 0 0 2 5 】

次に、6 (e) に示す工程で、CVD により、ウエハ上に $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ 以上の高濃度にドーパされた厚さ約 1 5 0 n m の P^+ ポリシリコン層 5 1 5 を堆積し、続いて、厚さ約 1 0 0 n m の第 3 の堆積酸化膜 5 1 7 を堆積する。

【 0 0 2 6 】

次に、ドライエッチングにより、第 3 の堆積酸化膜 5 1 7 と P^+ ポリシリコン層 5 1 5 とをパターニングして、第 3 の堆積酸化膜 5 1 7 と P^+ ポリシリコン層 5 1 5 との中央部に第 2 の堆積酸化膜 5 1 2 に達するベース開口部 5 1 8 を形成する。このベース開口部 5 1 8 は第 2 の堆積酸化膜 5 1 2 の中央部よりも小さく、ベース開口部 5 1 8 がベース接合用開口部 5 1 4 に跨ることはない。この工程により、 P^+ ポリシリコン層 5 1 5 と $\text{Si} / \text{Si}_{1-x} \text{Ge}_x$ 層 5 1 1 の中央部を除く部分とによって構成される外部ベース 5 1 6 が形成される。

【 0 0 2 7 】

図 6 (f) に示す工程で、CVD により、ウエハの全面上に厚さ約 3 0 n m の第 4 の堆積酸化膜 5 2 0 と厚さ約 1 5 0 n m のポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、ポリシリコン膜をエッチバックして、 P^+ ポリシリコン層 5 1 5 及び第 3 の堆積酸化膜 5 1 7 の側面上に第 4 の堆積酸化膜 5 2 0 を挟んでポリシリコンからなるサイドウォール 5 2 1 を形成する。次に、フッ酸等によるウエットエッチングを行い、第 2 の堆積酸化膜 5 1 2 及び第 4 の堆積酸化膜 5 2 0 のうち露出している部分を除去する。このとき、ベース開口部 5 1 8 においては、 $\text{Si} / \text{Si}_{1-x} \text{Ge}_x$ 層 5 1 1 の上部の Si 層が露出する。また、ウエットエッチングは等方性であることから第 2 の堆積酸化膜 5 1 2 及び第 4 の堆積酸化膜 5 2 0 が横方向にもエッチングされ、ベース開口部 5 1 8 の寸法が拡大する。つまり、このときのウエットエッチングの量によってベース開口幅 W_1 が決まる。

【 0 0 2 8 】

次に、図 7 (g) に示す工程で、ウエハ上に、厚さが約 250 nm の N^+ ポリシリコン層 529 を堆積した後、ドライエッチングによって N^+ ポリシリコン層 529 及び第 3 の堆積酸化膜 517 をパターニングすることにより、エミッタ引き出し電極をする。

【0029】

次に、図 7 (h) に示す工程で、ドライエッチングにより、 P^+ ポリシリコン層 515、第 2 の堆積酸化膜 512、 $Si/Si_{1-x}Ge_x$ 層 511 及びポリシリコン層 509 をパターニングして、外部ベース 516 の形状を決定する。

【0030】

次に、図 7 (i) に示す工程で、ウエハ上に厚さが約 120 nm の堆積酸化膜を形成した後、ドライエッチングを行なって、 N^+ ポリシリコン層 529 と P^+ ポリシリコン層 515 の側面にサイドウォール 523 を形成する。

【0031】

このときのドライエッチング（オーバーエッチング）によって、第 1 の堆積酸化膜 508 の露出している部分を除去して、 N^+ ポリシリコン層 529、 P^+ ポリシリコン層 515 及び N^+ コレクタ引き出し層 507 の表面とを露出させる。

【0032】

さらに、以下の処理を行なう。まず、スパッタリングによって、ウエハの全面上に厚さが約 40 nm の Ti 膜を堆積した後、675℃、30 sec の RTA（短時間アニール）を行なうことにより、 N^+ ポリシリコン層 529、 P^+ ポリシリコン層 515 及び N^+ コレクタ引き出し層 507 の露出している表面とに Ti シリサイド層 524 を形成する。その後、Ti 膜の未反応部分のみを選択的に除去した後、Ti シリサイド層 524 の結晶構造を変化させるためのアニールを行なう。

【0033】

次に、ウエハの全面上に層間絶縁膜 525 を形成し、層間絶縁膜 525 を貫通して N^+ ポリシリコン層 529、 P^+ ポリシリコン層 515 及び N^+ コレクタ引き出し層 507 との上の各 Ti シリサイド層 524 に到達する接続孔を形成する。そして、各接続孔内に W 膜を埋め込んで W プラグ 526 を形成した後、ウエハ

の全面上にアルミニウム合金膜を堆積した後、これをパターニングして、各Wプラグ526に接続され、層間絶縁膜525の上に延びる金属配線527を形成する。

【0034】

以上の工程により、図8に示す構造を有するHBT、つまり、N型Siからなるコレクタ、 P^+ 型 $Si_{1-x}Ge_x$ 層511からなるベース及び N^+ 型Siからなるエミッタを備えたHBTが形成される。なお、HBTのSi/Si $_{1-x}Ge_x$ 層511のうちSi層には、 N^+ ポリシリコン層529から高濃度のN型不純物（リンなど）が拡散して、 N^+ 型Si層になっている。

【0035】

上述した従来のSi/Si $_{1-x}Ge_x$ 型HBTでは、作製工程の図6（d）に示すベース接合用開口部形成において、第2の堆積酸化膜512をウエットエッチングによりパターニングする際、ウエットエッチングは等方性であることから第2の堆積酸化膜512は横方向にもエッチングされ、ベース開口部518周辺の第2の堆積酸化膜512の外側の幅Aの寸法は縮小する。また、レジストRe2と第2の堆積酸化膜512との界面よりエッチング液が浸入しするため、第2の堆積酸化膜512の膜厚は減少する。同時に、このエッチング液の浸入は、上述の横方向のエッチングを加速する。そして、第2の堆積酸化膜512の膜厚が減少し過ぎると、ベース開口部518形成時のエッチストップパとしての効果がなくなる。

【0036】

【発明が解決しようとする課題】

Si/Si $_{1-x}Ge_x$ 型HBTにおいて、近年、微細化が要求されつつある。微細化が進むと、上述した第2の堆積酸化膜512の横方向へのエッチングを小さく抑える必要がある。

【0037】

しかしながら、前記従来技術では、堆積酸化膜512の横方向へのエッチングと膜厚の減少により、微細化に限界を生ずるという不都合があった。

【0038】

すなわち、堆積酸化膜 5 1 2 に微細な加工を制御性よく施すには、堆積酸化膜 5 1 2 の横方向へのエッチング量を抑えるために、堆積酸化膜 5 1 2 をさらに薄くする必要がある。堆積酸化膜 5 1 2 が薄いほど、堆積酸化膜 5 1 2 の横方向へのエッチング量は、小さくなるが、従来技術では、ウェットエッチングによるベース接合用開口部形成後に、堆積酸化膜 5 1 2 がさらに薄くなり、エッチストップとしての効果がなくなる。

【 0 0 3 9 】

また、第 2 の堆積酸化膜 5 1 2 が厚いと、幅 A の寸法縮小が大きく、幅 A を小さくすることに限界がある。

【 0 0 4 0 】

本発明は、微細な H B T として機能する半導体装置の作製方法を提供することを目的とする。

【 0 0 4 1 】

【課題が解決するための手段】

この課題を解決するために本発明は、ポリシリコン膜またはアモルファスシリコンをマスク部材にして堆積酸化膜をエッチングするように構成したものである。

【 0 0 4 2 】

これにより、堆積酸化膜に制御性良く微細なパターンを形成することができる半導体装置の製造方法が得られる。

【 0 0 4 3 】

本発明の半導体装置の製造方法は、半導体基板の活性領域に設けられ、エミッタ層、ベース層及びコレクタ層を有するバイポーラトランジスタとして機能する半導体装置の製造方法であって、前記半導体基板の一部に、活性領域を囲む素子分離領域を形成する工程（a）と、前記工程（a）の前又は後で、前記半導体基板内の前記素子分離領域に挟まれる領域に第 1 導電型のコレクタ層を形成する工程（b）と、前記工程（a）及び（b）の後で、前記半導体基板の上に第 1 の絶縁層を還元性膜とを堆積した後、前記第 1 の絶縁層にコレクタ開口部を形成する工程（c）と、前記コレクタ開口部における前記半導体基板の上に、少なくとも

内部ベースと該内部ベースを囲む外部ベースとを構成するための第2導電型の半導体層をエピタキシャル成長させる工程（d）とを含んでいる。

【0044】

前記工程（b）では、前記還元性膜を、ポリシリコン、アモルファスシリコン及び窒化シリコンから選ばれるいずれか1つの材料を含むように形成することが好ましい。

【0045】

また、前記工程（d）では、 $\text{Si}_{1-x}\text{Ge}_x$ （ $0 \leq x \leq 1$ ）、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ （ $0 \leq x+y \leq 1$ ）及び Si_{1-y}Cy （ $0 \leq y \leq 1$ ）のうちいずれか1つとSi層とを順次積層するように前記半導体層を形成する。

【0046】

前記工程（d）の後、基板上に第2の絶縁層と第1の導体膜を形成した後、マスク部材を用いたエッチングにより、第1の導体膜のうち、前記半導体層の中央部の上方に位置する部分を残し前記半導体層の端部の上方に位置する部分から前記素子分離領域の内側端部の上方に位置する部分に至る領域を除去し、続いて前記エッチング後の第1の導体膜をマスクとして該第2の絶縁層をエッチングしてベース接合用開口部を形成する工程（e）とをさらに含むことにより、加工精度のよい微細なパターンニングを第2の絶縁層に施すことができ、微細構造の半導体装置を形成することができる。

【0047】

前記工程（e）の後、基板上に第2の導体層及び第3の絶縁層を積層した後、前記第1の導体層、第2の導体層、及び第3の絶縁層に、前記第2の絶縁層の内部ベース上方に残存する部分に到達するベース開口部を形成する工程（f）と、前記第1の導体膜と第2の導体層との前記ベース開口部に露出している側面を覆う第4の絶縁層を形成する工程（g）と、エッチングにより、前記第2の絶縁層の前記半導体層の内部ベース上方に残存する部分のうち前記ベース開口部に露出している部分を除去して、前記ベース開口部の底部に前記半導体層の一部を露出させる工程（h）と、前記工程（h）の後で、前記ベース開口部を埋める第3の導体層を形成する工程（i）と、前記工程（i）の後で、エッチングにより、前

記第 2 の導体層及び第 3 の絶縁層の端部を除去して、前記半導体基板のうちコレクタ引き出し層となる部分を露出させる工程（j）とをさらに含む。

【0048】

以上のように工程（e）において、第 1 の導体膜と第 2 の絶縁層との密着力は大きいので、第 1 の導体膜をマスクとして該第 2 の絶縁層をエッチングする際に、第 1 の導体膜と第 2 の絶縁層との界面からエッチング液から浸入することはなく、横方向のエッチング量を抑えることができる。この作用によって、第 2 の絶縁層を制御性良く微細にパターンニングすることができ、微細な H B T として機能する半導体装置の作製することができる。

【0049】

【発明の実施の形態】

以下、本発明の実施の形態について図 1 ～図 4 を用いて説明する。

【0050】

（実施の形態 1）

図 1 ～図 4 は、本発明の実施の形態である S i G e - H B T の製造方法を示す断面図である。

【0051】

まず、図 1（a）に示す工程で、（001）面を主面とする S i 基板 100 の上部に、N 型不純物をドーピングしながら S i 単結晶層をエピタキシャル成長させる、あるいは、エピタキシャル成長後に高エネルギーのイオン注入を行なうことにより、深さ約 $1\text{ }\mu\text{m}$ の N 型のレトログレードウェル 101 を形成する。ただし、エピタキシャル成長を行わずに S i 基板 100 の一部にイオン注入を行なうことによりレトログレードウェル 101 を形成することも可能である。このとき、H B T 形成における S i 基板 100 の表面付近の領域は、H B T のコレクタ層となるために N 型の不純物濃度を $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に調整しておく。

【0052】

次に、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ 103 と、アンドープポリシリコン膜 105 及びこれを取り囲むシリコン酸化膜 106 により構成されるディープトレンチ 104 とを形成する。各トレンチ 103、1

04の深さは、それぞれ $0.35\mu\text{m}$ 、 $2\mu\text{m}$ 程度としておく。Si基板100内におけるシャロートレンチ103同士によって挟まれる領域がコレクタ層102となる。また、Si基板100内のコレクタ層102とはシャロートレンチ103により分離された領域に、コレクタ電極とコンタクトするためのN⁺コレクタ引き出し層107を形成する。

【0053】

次に、図1(b)に示す工程で、テトラエトキシシラン(TEOS)と酸素を用いた化学気相成長法(CVD)を処理温度 680°C で行なって、ウエハ上に厚さが約 30nm の第1の堆積酸化膜108を形成した後、厚さが約 50nm のポリシリコン層109とを順次形成する。その後、ドライエッチング等により、ポリシリコン層109をパターンニングした後、フッ酸等のウェットエッチングにより第1の堆積酸化膜108を除去し、コレクタ開口部110を形成する。

【0054】

次に、図1(c)に示す工程で、ウエハをUHV-CVD(Ultrahigh Vacuum Chemical Vapor Deposition)法を用いて、Si基板100のコレクタ開口部110に露出している表面からポリシリコン層109に亘って、厚さ約 60nm のSi_{1-x}Gex層をエピタキシャル成長させる。そして、Si_{1-x}Gex層を形成した後、Si_{1-x}Gex層の上に厚さ約 10nm のSi層をエピタキシャル成長させる。このSi_{1-x}Gex層とSi層により、Si/Si_{1-x}Gex層111が形成される。ここで、Si_{1-x}Gex層は、ボロン(B)が導入されてP型になっており、ボロンの濃度は $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ である。このとき、Si層には不純物を導入しないでおく。

【0055】

Si_{1-x}Gex層の上において、コレクタ開口部110には単結晶のSi層が形成され、ポリシリコン層109の上方には多結晶のSi層が形成される。

【0056】

次に、図2(d)に示す工程で、ウエハ上に、エッチストッパとなる膜厚 30nm の第2の堆積酸化膜112、及び、P⁺ポリシリコン層200を順次形成した後、ポリシリコン層200の上に設けたレジストマスクRe2を用いて、P⁺ポ

リシリコン層 2 0 0 をドライエッチングによりパターンニングする。そして、パターンニングされた P^+ ポリシリコン層 2 0 0 をマスクにしてウエットエッチングにより第 2 の堆積酸化膜 1 1 2 をパターンニングしてベース接合用開口部 1 1 4 を形成する。

【 0 0 5 7 】

次に、活性領域・分離接合部 Rai におけるストレスの影響を抑えるために、ベース接合用開口部 1 1 4 の形成に用いたレジストマスク Re2 を用いて、ボロン (B) などの P 型の不純物のイオン注入を行い、表面付近の濃度が $3 \times 10^{17} \text{atom s} \cdot \text{cm}^{-3}$ 程度の接合リーク防止層 1 1 3 を形成する。

【 0 0 5 8 】

次に、図 2 (e) に示す工程で、CVD により、ウエハ上に $1 \times 10^{20} \text{atoms} \cdot \text{cm}^{-3}$ 以上の高濃度にドーパされた厚さ約 1 5 0 nm の P^+ ポリシリコン層 1 1 5 を堆積し、続いて、厚さ約 1 0 0 nm の第 3 の堆積酸化膜 1 1 7 を堆積する。ここで、次に、ドライエッチングにより、第 3 の堆積酸化膜 1 1 7、 P^+ ポリシリコン層 1 1 5 及び P^+ ポリシリコン層 2 0 0 をパターンニングして、第 3 の堆積酸化膜 1 1 7、 P^+ ポリシリコン層 5 1 5 及び P^+ ポリシリコン層 2 0 0 の中央部に第 2 の堆積酸化膜 1 1 2 に達するベース開口部 1 1 8 を形成する。このベース開口部 1 1 8 は第 2 の堆積酸化膜 1 1 2 の中央部よりも小さく、ベース開口部 1 1 8 がベース接合用開口部 1 1 4 に跨ることはない。この工程により、 P^+ ポリシリコン層 1 1 5 と $\text{Si} / \text{Si}_{1-x} \text{Ge}_x$ 層 1 1 1 の中央部を除く部分とによって構成される外部ベース 1 1 6 が形成される。

【 0 0 5 9 】

図 2 (f) に示す工程で、CVD により、ウエハの全面上に厚さ約 3 0 nm の第 4 の堆積酸化膜 1 2 0 と厚さ約 1 5 0 nm のポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、ポリシリコン膜をエッチバックして、 P^+ ポリシリコン層 1 1 5、 P^+ ポリシリコン層 2 0 0、及び第 3 の堆積酸化膜 1 1 7 の側面上に第 4 の堆積酸化膜 1 2 0 を挟んでポリシリコンからなるサイドウォール 1 2 1 を形成する。次に、フッ酸等によるウエットエッチングを行い、第 2 の堆積酸化膜 1 1 2 及び第 4 の堆積酸化膜 1 2 0 のうち露出している部分を除

去する。このとき、ベース開口部 1 1 8 においては、 $\text{Si} / \text{Si}_{1-x} \text{Ge}_x$ 層 1 1 1 の上部の Si 層が露出する。また、ウェットエッチングは等方性であることから第 2 の堆積酸化膜 1 1 2 及び第 4 の堆積酸化膜 1 2 0 が横方向にもエッチングされ、ベース開口部 1 1 8 の寸法が拡大する。

【 0 0 6 0 】

次に、図 3 (g) に示す工程で、ウエハ上に、厚さが約 2 5 0 n m の N^+ ポリシリコン層 1 2 9 を堆積した後、ドライエッチングによって N^+ ポリシリコン層 1 2 9 及び第 3 の堆積酸化膜 1 1 7 をパターニングすることにより、エミッタ引き出し電極をする。

【 0 0 6 1 】

次に、図 3 (h) に示す工程で、ドライエッチングにより、 P^+ ポリシリコン層 1 1 5、第 2 の堆積酸化膜 1 1 2、 $\text{Si} / \text{Si}_{1-x} \text{Ge}_x$ 層 1 1 1 及びポリシリコン層 1 0 9 をパターニングして、外部ベース 1 1 6 の形状を決定する。

【 0 0 6 2 】

次に、図 3 (i) に示す工程で、ウエハ上に厚さが約 1 2 0 n m の堆積酸化膜を形成した後、ドライエッチングを行なって、 N^+ ポリシリコン層 1 2 9 と P^+ ポリシリコン層 1 1 5 の側面にサイドウォール 1 2 3 を形成する。

【 0 0 6 3 】

このときのドライエッチング（オーバーエッチング）によって、第 1 の堆積酸化膜 1 0 8 の露出している部分を除去して、 N^+ ポリシリコン層 1 2 9、 P^+ ポリシリコン層 1 1 5 及び N^+ コレクタ引き出し層 1 0 7 の表面とを露出させる。

【 0 0 6 4 】

さらに、図 4 (j) に示す構造を得るために、以下の処理を行なう。まず、スパッタリングによって、ウエハの全面上に厚さが約 4 0 n m の Ti 膜を堆積した後、6 7 5 °C、3 0 s e c の RTA （短時間アニール）を行なうことにより、 N^+ ポリシリコン層 1 2 9、 P^+ ポリシリコン層 1 1 5 及び N^+ コレクタ引き出し層 1 0 7 の露出している表面とに Ti シリサイド層 1 2 4 を形成する。その後、 Ti 膜の未反応部分のみを選択的に除去した後、 Ti シリサイド層 1 2 4 の結晶構造を変化させるためのアニールを行なう。

【 0 0 6 5 】

次に、ウエハの全面上に層間絶縁膜 1 2 5 を形成し、層間絶縁膜 1 2 5 を貫通して N^+ ポリシリコン層 1 2 9, P^+ ポリシリコン層 1 1 5 及び N^+ コレクタ引き出し層 1 0 7 との上的各 Ti シリサイド層 1 2 4 に到達する接続孔を形成する。そして、各接続孔内に W 膜を埋め込んで W プラグ 1 2 6 を形成した後、ウエハの全面上にアルミニウム合金膜を堆積した後、これをパターニングして、各 W プラグ 1 2 6 に接続され、層間絶縁膜 1 2 5 の上に延びる金属配線 1 2 7 を形成する。

【 0 0 6 6 】

以上の工程により、図 4 に示す構造を有する $HB T$ 、つまり、 N 型 Si からなるコレクタ、 P^+ 型 $Si_{1-x} Ge_x$ 層 1 1 1 からなるベース及び N^+ 型 Si からなるエミッタを備えた $HB T$ が形成される。なお、 $HB T$ の $Si / Si_{1-x} Ge_x$ 層 1 1 1 のうち Si 層には、 N^+ ポリシリコン層 1 2 9 から高濃度の N 型不純物（リンなど）が拡散して、 N^+ 型 Si 層になっている。

【 0 0 6 7 】

（実施の形態 2）

前記実施形態における $Si_{1-x} Ge_x$ 層に代えて、 $Si_{1-x-y} Ge_x Cy$ 層（ $0 \leq x + y \leq 1$ ）又は $Si_{1-y} Cy$ 層（ $0 \leq y \leq 1$ ）などの Si を含む Si とは異なる材料の膜を用いることができる。また、 $Si_{1-x} Ge_x$ 層、 $Si_{1-x-y} Ge_x Cy$ 層、 $Si_{1-y} Cy$ 層などのうちの 2 つ以上を積層した膜を用いてもよい。

【 0 0 6 8 】

前記の各種材料を用いることにより、半導体層にかかる歪を抑えることができ、作製される半導体装置の信頼性向上、リーク電流低減につながる。

【 0 0 6 9 】

前記各実施形態におけるバイポーラトランジスタは、必ずしもヘテロバイポーラトランジスタに限定されるものではない。トランジスタ面積の低減、接合リークの低減は、ホモエピタキシャル成長膜である Si 層をベースとして利用したバイポーラにおいても課題となっているからである。

【 0 0 7 0 】

【発明の効果】

以上のように本発明によれば、微細なH B Tとして機能する半導体装置の作製することができる、という有利な効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置の製造工程を示す断面図

【図 2】

本発明の第 1 の実施形態の半導体装置の製造工程を示す断面図

【図 3】

本発明の第 1 の実施形態の半導体装置の製造工程を示す断面図

【図 4】

本発明の第 1 の実施形態の半導体装置の製造工程を示す断面図

【図 5】

従来の半導体装置の製造工程を示す断面図

【図 6】

従来の半導体装置の製造工程を示す断面図

【図 7】

従来の半導体装置の製造工程を示す断面図

【図 8】

従来の半導体装置の製造工程を示す断面図

【符号の説明】

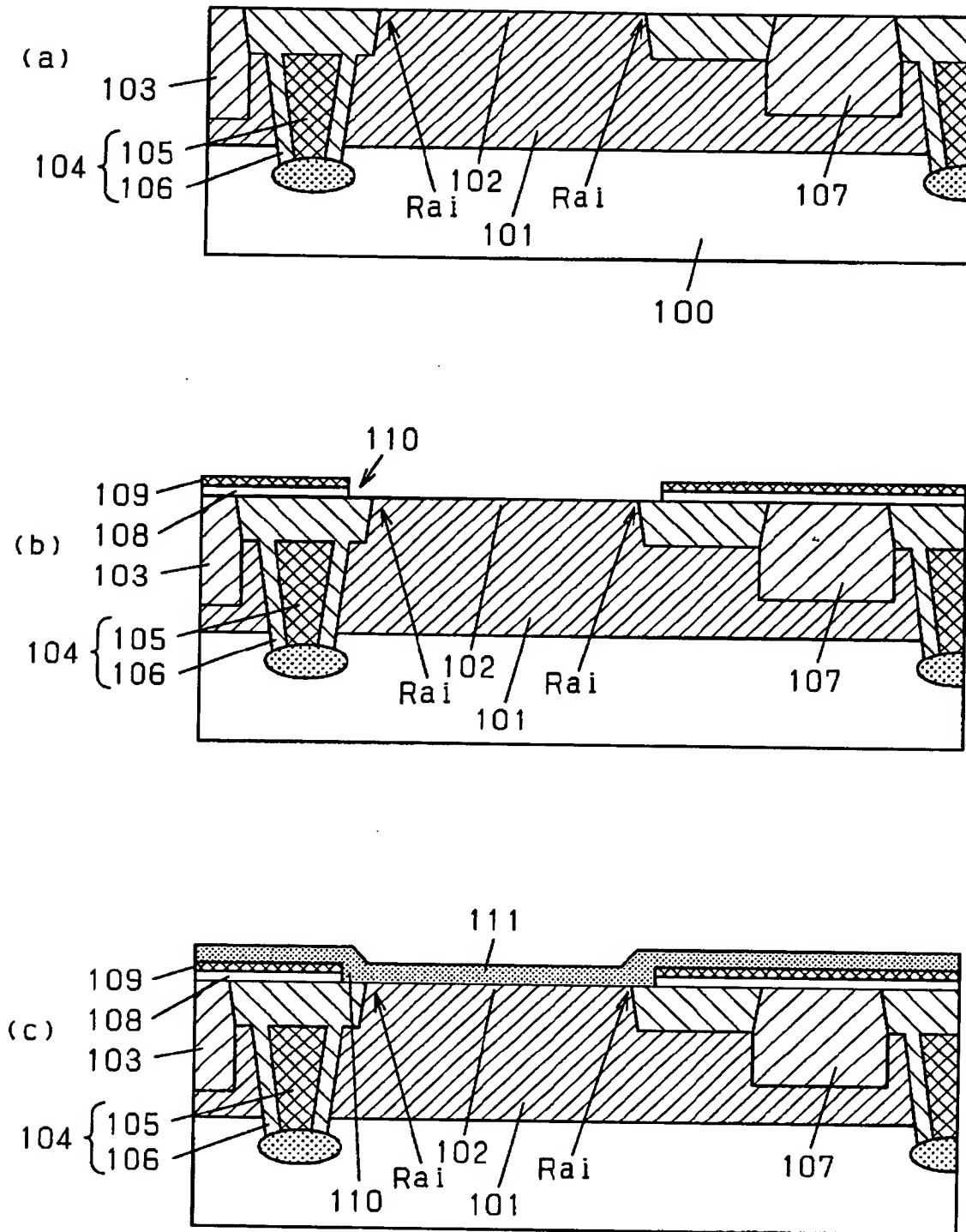
- 1 0 0 (0 0 1) S i 基板
- 1 0 1 レトログレードウェル
- 1 0 2 コレクタ層
- 1 0 3 シャロートレンチ
- 1 0 4 ディープトレンチ
- 1 0 5 アンドープポリシリコン膜
- 1 0 6 シリコン酸化膜

- 1 0 7 N^+ コレクタ引き出し層
- 1 0 8 第 1 の堆積酸化膜
- 1 1 0 コレクタ開口部
- 1 1 1 $Si/Si_{1-x}Ge_x$ 層
- 1 1 2 第 2 の堆積酸化膜
- 1 1 3 接合リーク防止層
- 1 1 4 ベース接合用開口部
- 1 1 5 P^+ ポリシリコン層
- 1 1 6 外部ベース
- 1 1 7 第 3 の堆積酸化膜
- 1 1 8 ベース開口部
- 1 1 9 内部ベース
- 1 2 0 第 4 の堆積酸化膜
- 1 2 1 サイドウォール
- 1 2 3 サイドウォール
- 1 2 4 Ti シリサイド層
- 1 2 5 層間絶縁層
- 1 2 6 W プラグ
- 1 2 7 金属配線
- 1 2 9 N^+ ポリシリコン層
- Rai 活性領域・分離接合部
- 2 0 0 P^+ ポリシリコン層
- 5 0 0 (0 0 1) Si 基板
- 5 0 1 レトログレードウェル
- 5 0 2 コレクタ層
- 5 0 3 シャロートレンチ
- 5 0 4 ディープトレンチ
- 5 0 5 アンドープポリシリコン膜
- 5 0 6 シリコン酸化膜

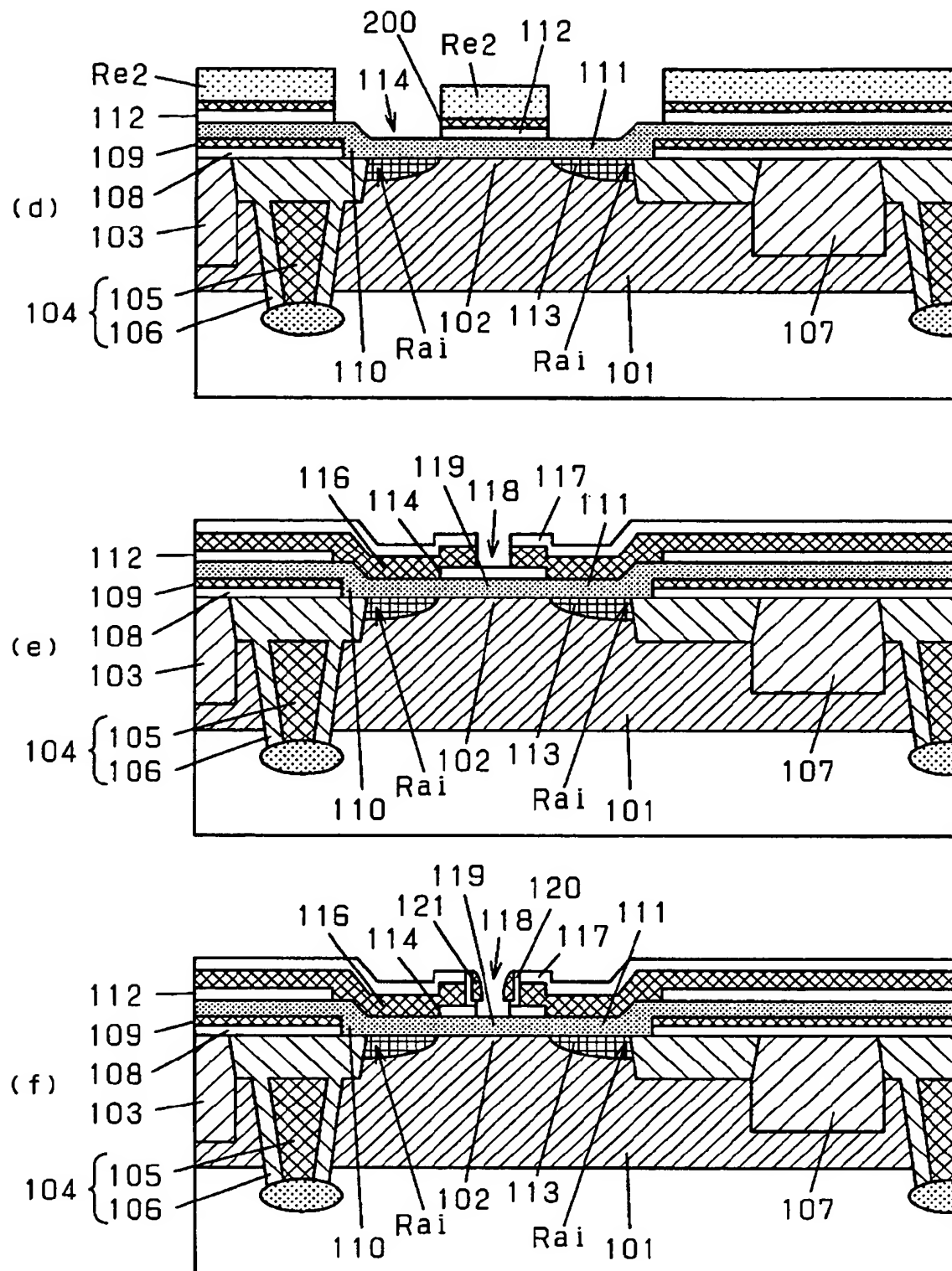
- 5 0 7 N^{+} コレクタ引き出し層
- 5 0 8 第 1 の堆積酸化膜
- 5 1 0 コレクタ開口部
- 5 1 1 $Si/Si_{1-x}Ge_x$ 層
- 5 1 2 第 2 の堆積酸化膜
- 5 1 3 接合リーク防止層
- 5 1 4 ベース接合用開口部
- 5 1 5 P^{+} ポリシリコン層
- 5 1 6 外部ベース
- 5 1 7 第 3 の堆積酸化膜
- 5 1 8 ベース開口部
- 5 1 9 内部ベース
- 5 2 0 第 4 の堆積酸化膜
- 5 2 1 サイドウォール
- 5 2 3 サイドウォール
- 5 2 4 Ti シリサイド層
- 5 2 5 層間絶縁層
- 5 2 6 W プラグ
- 5 2 7 金属配線
- 5 2 9 N^{+} ポリシリコン層

【書類名】 図面

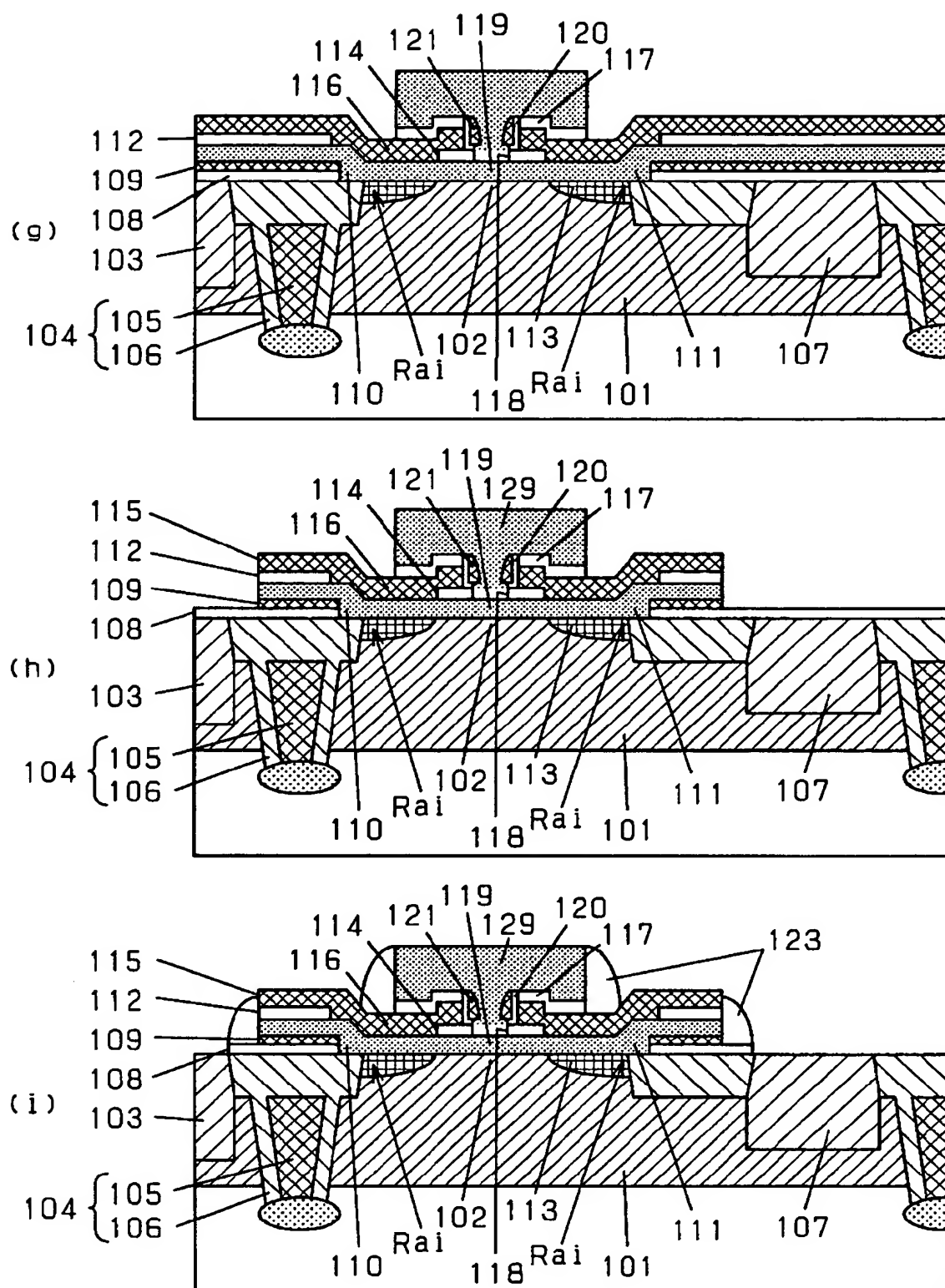
【図 1】



【図2】

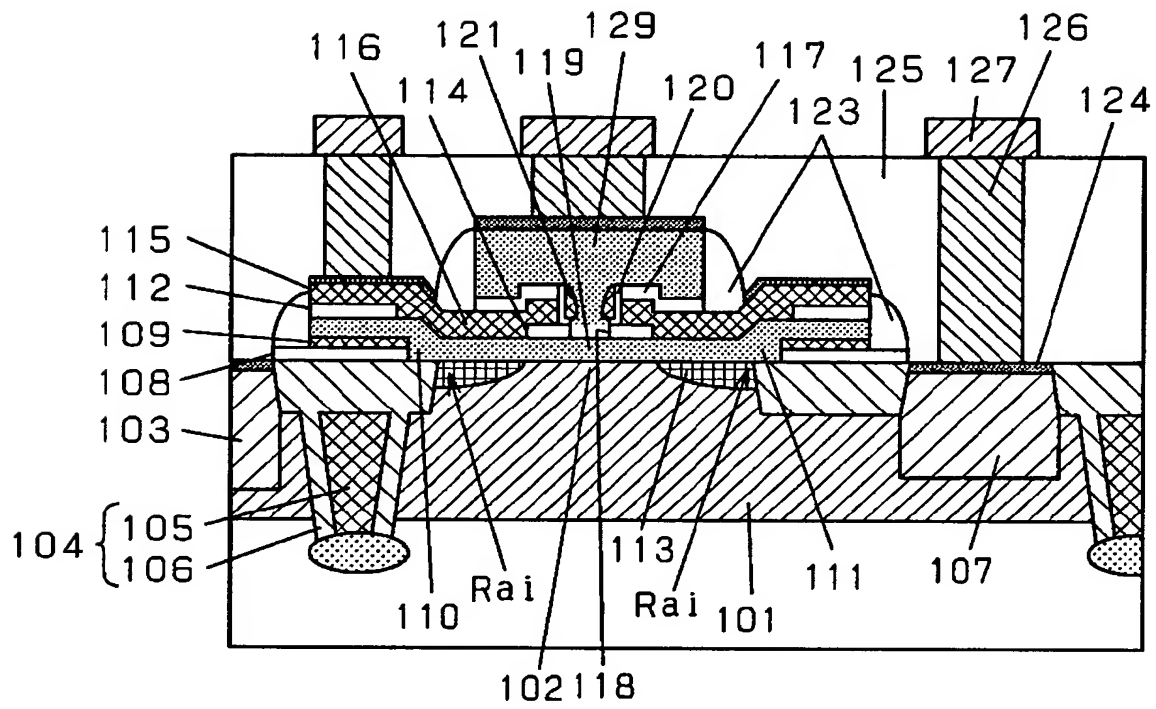


【図 3】

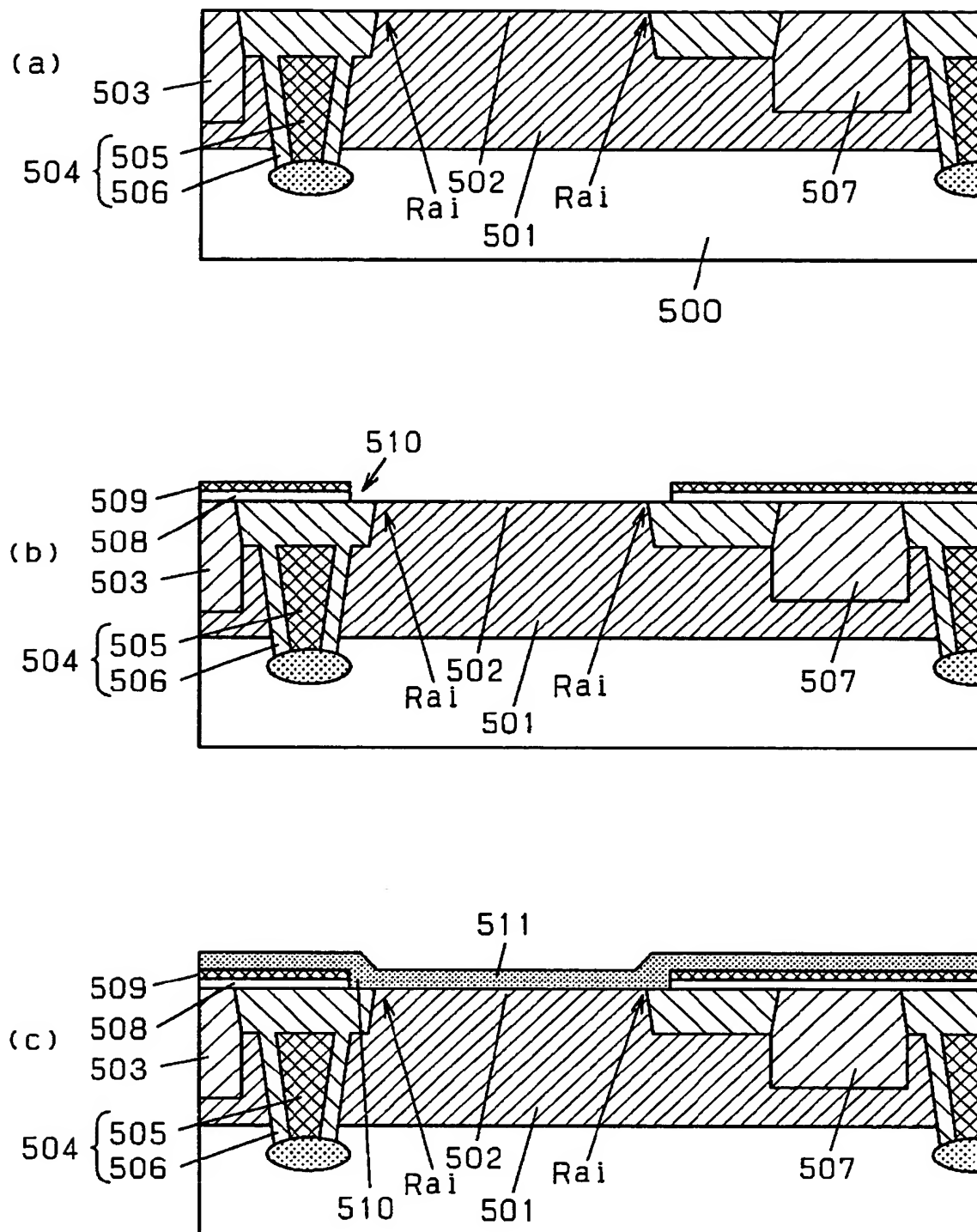


【図4】

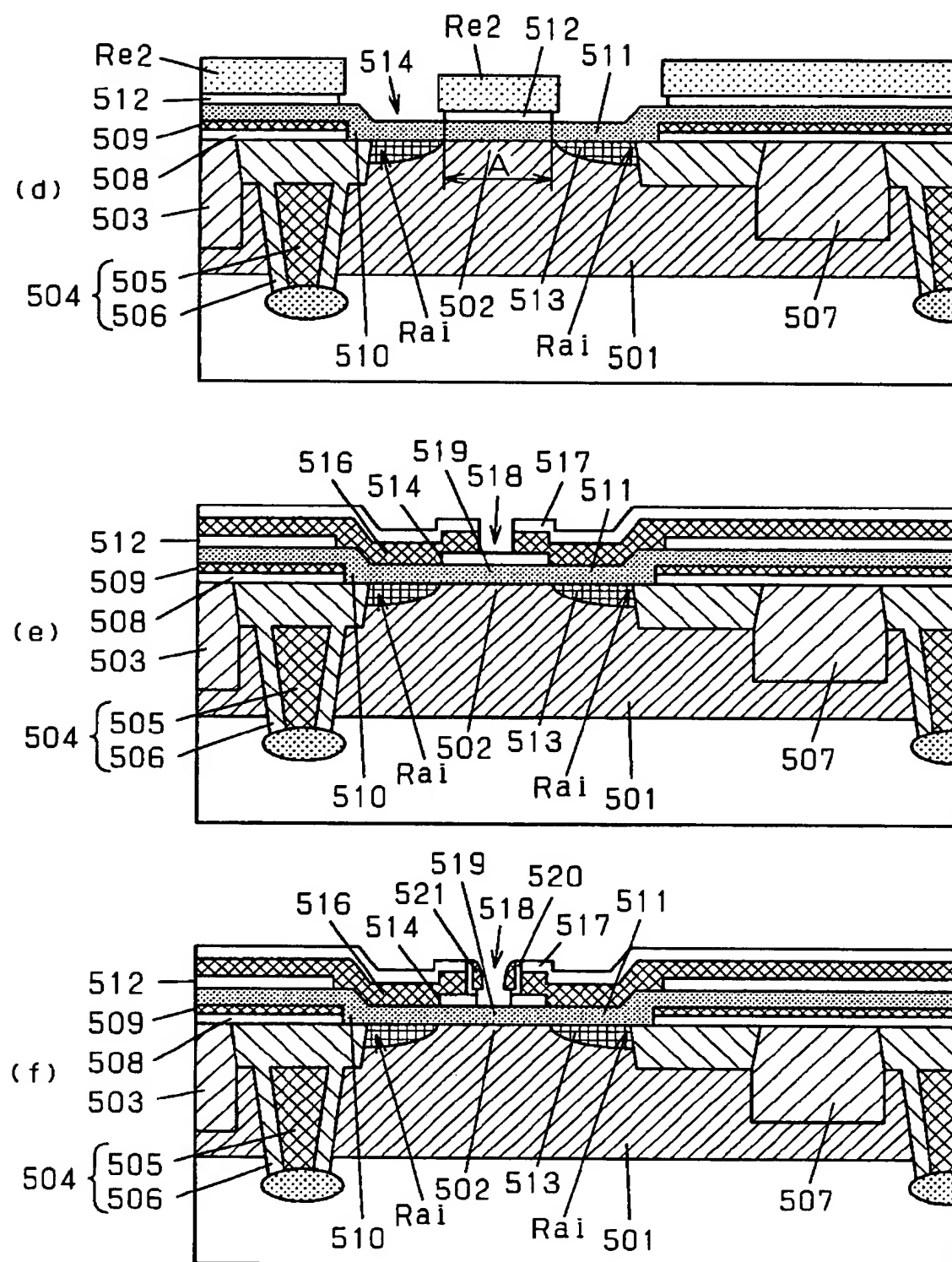
(j)



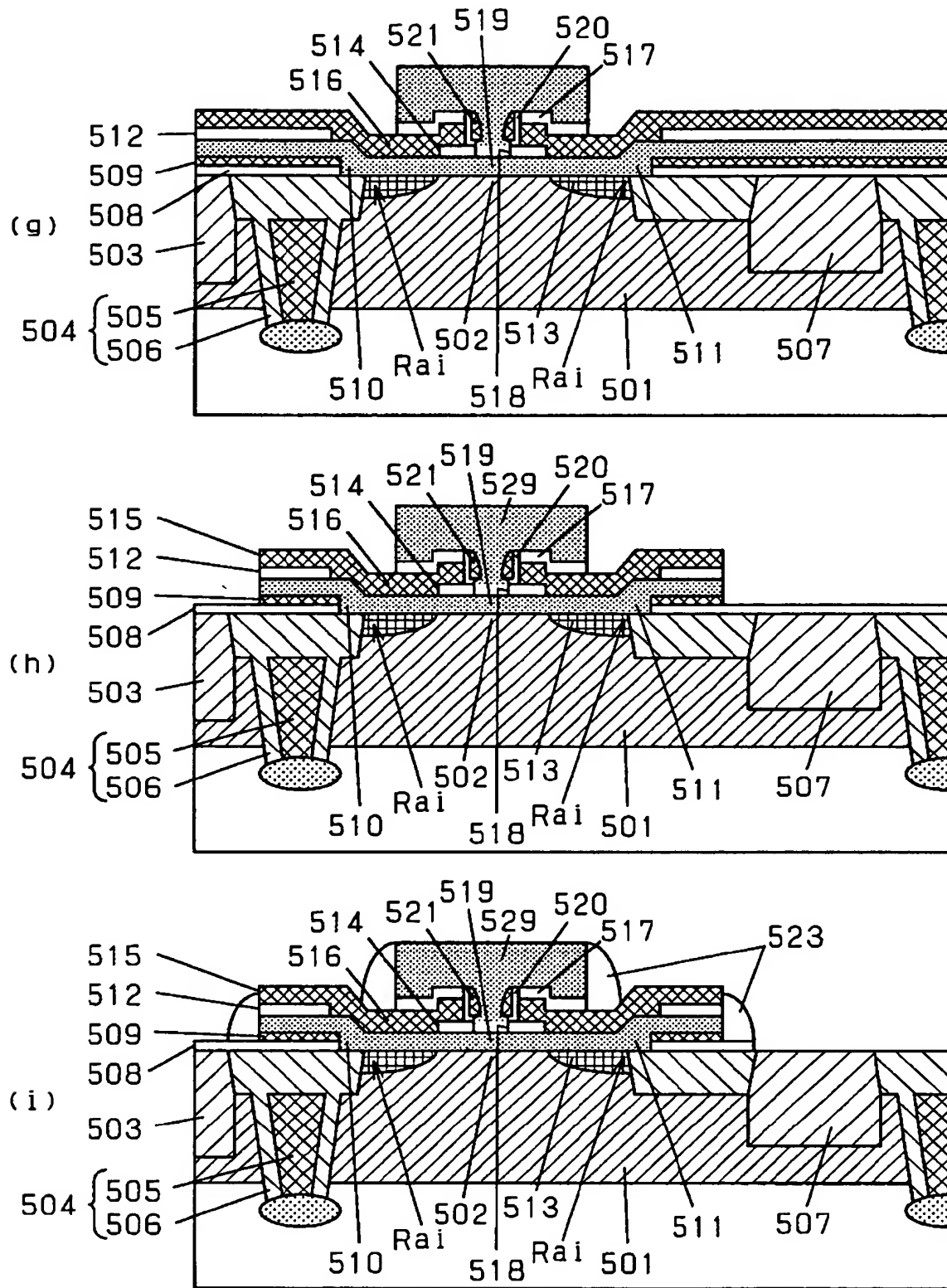
【図5】



【図 6】

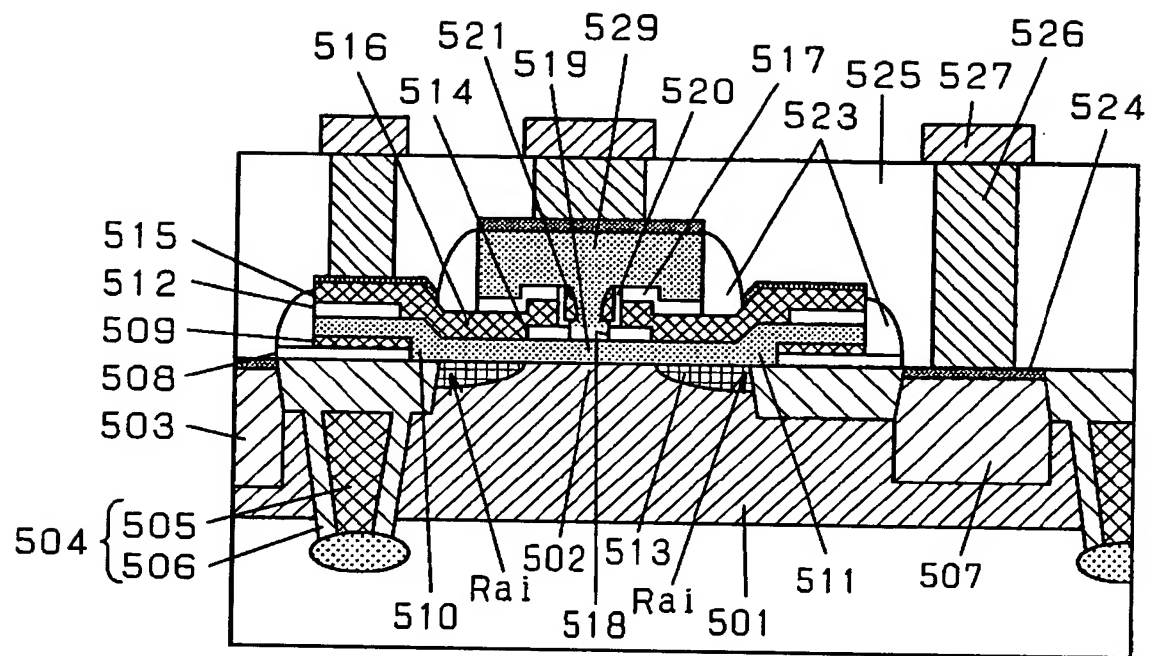


【図 7】



【図8】

(j)



【書類名】 要約書

【要約】

【課題】 面積が小さくかつプロセス制御性のよい半導体装置の製造方法を提供する。

【解決手段】 ウエハ上に、エッチストッパとなる膜厚 3 0 n m の第 2 の堆積酸化膜 1 1 2、及び、 P^+ ポリシリコン層 2 0 0 を順次形成した後、ポリシリコン層 2 0 0 の上に設けたレジストマスク R e 2 を用いて、 P^+ ポリシリコン層 2 0 0 をドライエッチングによりパターンニングする。そして、パターンニングされた P^+ ポリシリコン層 2 0 0 をマスクにしてウェットエッチングにより第 2 の堆積酸化膜 1 1 2 をパターンニングしてベース接合用開口部 5 1 4 を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日
[変更理由] 新規登録
住 所 大阪府門真市大字門真 1 0 0 6 番地
氏 名 松下電器産業株式会社